

IN THE UNITED STATES DESIGNATED OFFICE (DO/US)

In re: Kyoung-Hwan Yeo et. al.

Application Serial No.: To be assigned

Filed: Concurrently herewith:

For: **MULTICHANNEL METAL OXIDE SEMICONDUCTOR (MOS) TRANSISTORS AND METHODS OF FABRICATING THE SAME**

Date: March 10, 2004

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following Korean priority application:

2003-30883; Filed 05/15/2003

Respectfully submitted,



Elizabeth A. Stanek
Registration No. 48,568

Myers Bigel Sibley & Sajovec, P.A.
P. O. Box 37428
Raleigh, North Carolina 27627
Telephone: (919) 854-1400
Facsimile: (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

"Express Mail" mailing label number: **EV381443296US**

Date of Deposit: **03/10/2004**

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Ban Younan
Ban Younan



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0030883
Application Number

출 원 년 월 일 : 2003년 05월 15일
Date of Application MAY 15, 2003

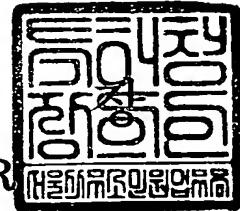
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.15
【발명의 명칭】	다층채널을 갖는 트랜지스터 및 그 제조방법
【발명의 영문명칭】	TRANSISTOR HAVING MULTI CHANNEL AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	여경환
【성명의 영문표기】	YEO, KYOUNG-HWAN
【주민등록번호】	700120-1682812
【우편번호】	156-092
【주소】	서울특별시 동작구 사당2동 우성아파트 304동 711호
【국적】	KR
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK, DONG-GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
【국적】	KR

【발명자】

【성명의 국문표기】 최정동
【성명의 영문표기】 CHOE, JEONG-DONG
【주민등록번호】 690726-1550311
【우편번호】 431-058
【주소】 경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

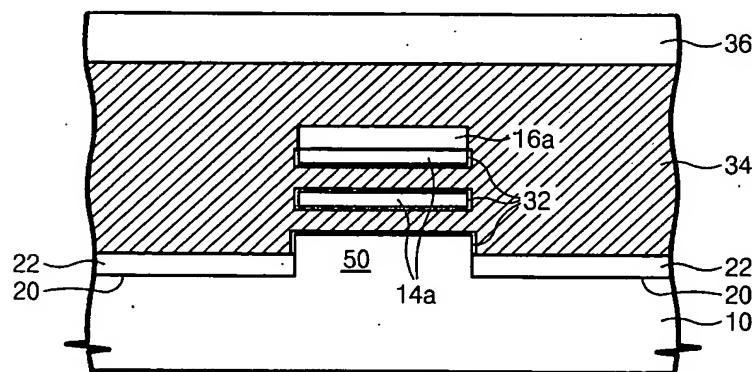
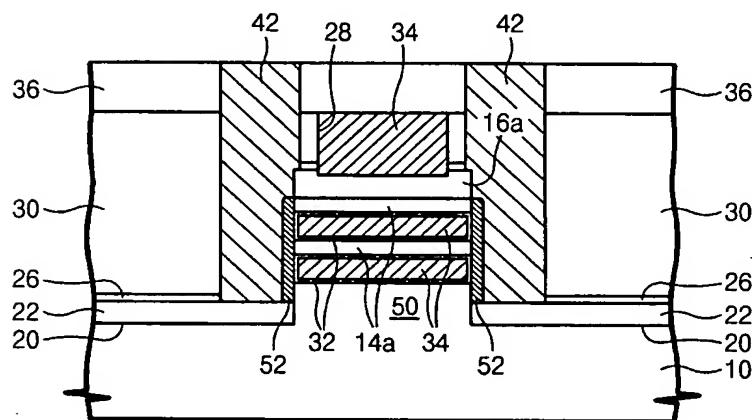
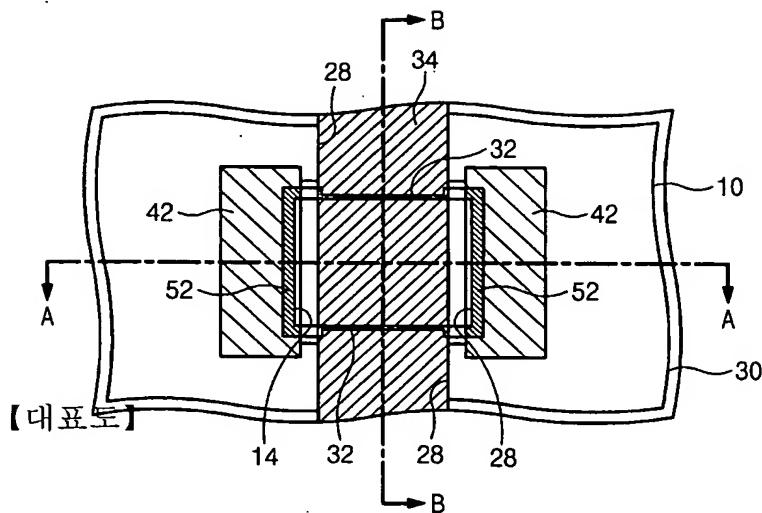
【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	15	면	15,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	13	항	525,000	원
【합계】	569,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

다중채널을 갖는 트랜지스터 및 그 제조방법을 제공한다. 이 트랜지스터는 반도체 기판 상에 형성되고, 서로 이격된 복수층의 수평채널영역을 포함한다. 수평 채널영역의 양측에, 수평 채널영역들과 연결된 한쌍의 수직 소오스/드레인 영역들이 형성된다. 수평 채널 영역의 상부를 게이트 패턴이 가로지른다. 게이트 패턴은 수평 채널영역의 각 층들 사이에 개재된다. 수평 채널 영역과 게이트 패턴 사이에 게이트 절연막이 개재된다. 상기 수직 소오스/드레인 영역들의 각각에 소오스/드레인 전극이 접속된다. 수평채널영역을 형성하기 위하여, 활성영역 상에 복수층의 제1 및 제2 에피택시얼 패턴들이 교대로 적층된 구조물을 형성하고, 제1 및 제2 에피택시얼 패턴들의 표면에 제3 에피택시얼층을 성장시킨다. 반도체 기판의 전면에 제3 에피택시얼층의 일부분을 노출시키는 게이트 오프닝을 갖는 제2 절연막을 형성하고, 노출된 제3 에피택시얼층을 제거하여 상기 제1 및 제2 에피택시얼 패턴의 일부분을 노출시킨다. 계속해서, 제1 에피택시얼 패턴들을 선택적으로 등방성 식각하여 서로 이격된 복수층의 수평채널영역들을 형성할 수 있다.

【대표도】



【명세서】**【발명의 명칭】**

다층채널을 갖는 트랜지스터 및 그 제조방법{TRANSISTOR HAVING MULTI CHANNEL AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1a은 본 발명의 제1 실시예에 따른 트랜지스터를 나타낸 평면도이다.

도 1b는 도 1a의 A-A를 따라 취해진 단면도이다.

도 1c는 도 1a의 B-B를 따라 취해진 단면도이다.

도 1d는 본 발명의 제1 실시예에 따른 트랜지스터의 동작을 설명하기 위한 단면도이다.

도 2a 내지 도 9a는 본 발명의 제1 실시예에 따른 트랜지스터의 제조방법을 설명하기 위한 평면도들이다.

도 2b 내지 도 9b는 각각 도 2a 내지 도 9a의 A-A를 따라 취해진 단면도들이다.

도 2c 내지 도 9c는 각각 도 2a 내지 도 9a의 B-B를 따라 취해진 단면도들이다.

도 10a은 본 발명의 제2 실시예에 따른 트랜지스터를 나타낸 평면도이다.

도 10b는 도 10a의 A-A를 따라 취해진 단면도이다.

도 10c는 도 10a의 B-B를 따라 취해진 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 더 구체적으로는 트랜지스터 및 그 제조방법에 관한 것이다.

<12> 트랜지스터의 크기가 줄어들고, 구동전압이 낮아짐에 따라 트랜지스터의 출력전류가 낮아진다. 또한, 트랜지스터의 채널 길이가 짧아짐으로 인해 단채널효과가 발생하고, 누설전류가 증가하는 문제를 유발한다. 최근에는 이를 극복하기 위한 구조로 게이트 올 어라운드 트랜지스터 및 소이형 트랜지스터 등 다양한 트랜지스터 구조가 제안되고 있다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명이 이루고자 하는 기술적 과제는 제한된 면적에서 높은 출력전류를 얻을 수 있는 트랜지스터 및 그 제조방법을 제공하는 데 있다.

<14> 본 발명이 이루고자 하는 다른 기술적 과제는 누설전류를 발생을 최소화할 수 있는 트랜지스터 및 그 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<15> 상기 기술적 과제들은 다층채널을 갖는 트랜지스터에 의해 달성되어 질 수 있다. 이 트랜지스터는 반도체 기판 상에 형성되고, 서로 이격된 복수의 채널층으로 구성된 수평채널영역을 포함한다. 상기 수평 채널영역의 양측에, 상기 수평 채널영역들과 연결된 한쌍의 수직 소오스/드레인 영역들이 형성된다. 상기 수평 채널영역의 상부 및 상기 채널층들의 각 층들 사이를

게이트 패턴이 가로지른다. 상기 수평 채널 영역과 상기 게이트 사이에 게이트 절연막이 개재된다. 상기 수직 소오스/드레인 영역들의 각각에 소오스/드레인 전극이 접속된다.

<16> 상기 각각의 소오스/드레인 전극의 저면 및 상기 반도체 기판 사이의 제1 절연막 패턴에 의해 절연되고, 상기 게이트 패턴 및 상기 반도체 기판 사이 또한 상기 제1 절연막 패턴에 의해 절연된다. 상기 수평 채널영역들의 최저층은 상기 반도체 기판과 연결되어 있다.

<17> 상기 수평채널영역들의 최상층과 상기 게이트 패턴 사이에는 마스크 패턴이 더 개재되어 상기 수평채널영역들의 최상층 상부면에는 채널이 형성되지 않을 수도 있다. 또 다르게는, 상기 마스크 패턴은 상기 수평채널 영역의 최상부 채널층과 수직으로 이격되어 상기 마스크 패턴과 상기 최상부 채널층 사이에 상기 게이트 패턴이 연장되어 개재될 수도 있다. 이때는 상기 최상부 채널층의 상부면에도 채널이 형성된다. 본 발명에서, 상기 게이트 패턴은 다마신 공정을 적용하여 형성될 수 있다. 따라서, 상기 수평채널영역들이 형성된 반도체 기판의 전면을 덮는 제2 절연막 내에 형성될 수 있다. 즉, 상기 제2 절연막은 상기 수평채널영역들의 상부를 가로지르는 게이트 오프닝을 가지고, 상기 게이트 패턴은 상기 게이트 오프닝에 채워져 있다. 또한, 상기 소오스/드레인 전극은 상기 제2 절연막을 관통하여 상기 소오스/드레인 영역에 접속된다.

<18> 상기 기술적 과제들은 다층 채널영역을 갖는 트랜지스터의 제조방법에 의해 달성될 수 있다. 이 방법은 반도체 기판에 트렌치를 형성함과 동시에, 상기 트렌치에 의해 한정된 영역 상에 복수층의 제1 및 제2 에피택시얼 패턴들이 교대로 적층

된 구조물을 형성하는 단계를 포함한다. 상기 트렌치 저면에 제1 절연막 패턴을 형성하고, 상기 제1 및 제2 에피택시얼 패턴들의 표면에 제3 에피택시얼층을 성장시킨다. 상기 반도체 기판의 전면에 상기 제3 에피택시얼층의 일부분을 노출시키는 게이트 오프닝을 갖는 제2 절연막을 형성한다. 상기 노출된 제3 에피택시얼층을 제거하여 상기 제1 및 제2 에피택시얼 패턴의 일부분을 노출시키고, 상기 제1 에피택시얼 패턴들을 선택적으로 등방성 식각하여 서로 이격된 복수층의 수평채널영역들을 형성한다. 상기 수평채널영역들의 표면에 게이트 산화막을 형성하고, 상기 수평 채널영역들 사이의 캡영역들 및 상기 게이트 오프닝을 채우며 상기 수평채널영역들의 상부를 가로지르는 게이트 패턴을 형성한다. 상기 제2 절연막을 관통하여 상기 제3 에피택시얼층에 접속되는 소오스/드레인 전극들을 상기 게이트 패턴 양측에 각각 형성한다.

<19> 구체적으로, 상기 제1 및 제2 에피택시얼 패턴들이 적층된 구조물은 반도체 기판 상에 복수층의 제1 및 제2 에피택시얼층을 교대로 적층하고, 상기 제1, 제2 에피택시얼층들 및 상기 반도체 기판을 순차적으로 패터닝함으로써 형성할 수 있다. 이 때, 상기 구조물 주변에 상기 트렌치가 형성된다. 상기 제1 에피택시얼층은 실리콘게르마늄층으로 형성할 수 있고, 상기 제2 에피택시얼층은 실리콘층으로 형성할 수 있다.

<20> 본 발명에서, 트랜지스터의 소오스/드레인은 상기 제3 에피택시얼층 내에 불순물을 주입하여 형성할 수 있고, 트랜지스터의 채널확산층은 상기 제2 에피택시얼층 내에 불순물을 주입함으로써 형성할 수 있다.

<21> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면

들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<22> 도 1a은 본 발명의 제1 실시예에 따른 트랜지스터를 나타낸 평면도이다.

<23> 도 1b는 도 1a의 A-A를 따라 취해진 단면도이다.

<24> 도 1c는 도 1a의 B-B를 따라 취해진 단면도이다.

<25> 도 1a, 1b 및 1c를 참조하면, 본 발명에 따른 트랜지스터는 반도체 기판(10)에 형성된 트렌치(20)에 의해 한정된 영역에 형성된다. 이 트랜지스터는 서로 이격된 복수층의 수평채널영역(14a, 50)과, 상기 수평채널영역들(14a, 50)의 양측에 접하는 수직 소오스/드레인 영역들(52)을 포함한다. 상기 수평채널영역들(14a, 50)은 상기 트렌치(20)에 의해 한정된 활성영역(50)과, 상기 반도체 기판 상에 차례로 적층된 에피택시얼층들(14a)로 구성된다. 상기 수평채널영역들(14a, 50)은 서로 이격되어, 이들의 갭 영역에는 게이트 패턴(34)이 채워져 있다. 상기 게이트 패턴(34)은 상기 수평채널영역들(14a, 50)의 상부를 가로지른다. 상기 수평채널영역들(14a, 50)과 상기 게이트 패턴(34) 사이에 게이트 절연막(32)이 개재되어 있다. 상기 수평채널영역들(14a, 50)의 최상층의 상부에는 마스크 패턴(16a)이 형성되어, 상기 수평채널영역들(14a, 50)의 최상층과 상기 게이트 패턴(34) 사이에 개재된다. 상기 수직 소오스/드레인 영역들(52)의 각각에 소오스/드레인 전극(42)이 접속된다. 상기 소오스/드레인 전극(42)과 상기 반도체 기판(10) 사이에는 제1 절연막 패턴(22)이 개재되어, 상기 소오스/드레인 전극(42)의 하부면으로부터 상기 반도체 기판으로의 누설전류 경로를 막을 수 있다. 상기 수평채널영역들(14a, 50) 및 상기 수직 소오스/드레인 영역들(52)을 갖는 반도체 기판의 전면은 제2 절연막

(30)에 의해 덮인다. 상기 게이트 패턴(34)은 다마신 공정을 적용하여 형성함으로써, 상기 제2 절연막(30)에 형성된 게이트 오프닝(28) 내에 채워질 수 있다. 또한, 상기 소오스/드레인 전극(42)은 상기 제2 절연막(30)을 관통하여 상기 소오스/드레인 영역(52)에 접속된다. 상기 제2 절연막(30) 상에 제3 절연막(36)이 더 형성될 수 있는데, 상기 제3 절연막(36)은 상기 소오스/드레인 전극(42)에 접속된 배선과 상기 게이트 패턴(34)을 전기적으로 절연시키는 역할을 한다. 또한, 상기 제2 절연막(30)의 저면에는 식각저지막(26)이 더 형성될 수 있다. 상기 식각저지막(26)은 상기 소오스/드레인 전극(42)을 형성하는 동안, 상기 제1 절연막 패턴(22)이 과식각되는 것을 방지할 뿐만 아니라, 상기 게이트 오프닝(28)을 형성하는 동안, 상기 제1 절연막 패턴(22)이 과식각되는 것 또한 방지한다.

<26> 도 1d는 본 발명의 바람직한 실시예에 따른 트랜지스터의 동작을 설명하기 위한 단면도이다.

<27> 도 1d를 참조하면, 본 발명에 따른 트랜지스터의 소오스(52s) 및 드레인(52d)에 각각 V_s 및 V_d 가 인가되고, 게이트 전극(34g)에 V_g 가 인가되면, 상기 수평채널영역(14a, 50)들에 채널(ch)이 형성된다. 통상적인 트랜지스터에서는 게이트 전압이 인가될 때 하나의 채널이 형성되고, 게이트 올 어라운드 트랜지스터는 게이트가 둘러싸고 있는 2면 또는 3면에 채널이 형성된다. 이에 비하여 본 발명에 따른 트랜지스터는 적층되는 수평채널영역(14a, 50)의 수에 따라 다수의 채널이 형성되기 때문에 트랜지스터의 점유 면적에 구애받지 않고, 트랜지스터의 구동 전류(driving current)를 높일 수 있다.

<28> 도 2a 내지 도 9a는 본 발명의 제1 실시예에 따른 트랜지스터의 제조방법을 설명하기 위한 평면도들이다.

<29> 도 2b 내지 도 9b는 각각 도 2a 내지 도 9a의 A-A를 따라 취해진 단면도들이다.

<30> 도 2c 내지 도 9c는 각각 도 2a 내지 도 9a의 B-B를 따라 취해진 단면도들이다.

<31> 도 2a, 2b 및 2c를 참조하면, 반도체 기판(10) 상에 복수의 제1 에피택시얼층들(12) 및 제2 에피택시얼층들(14)이 교대로 성장된 적층층(18)을 형성한다. 상기 제1 에피택시얼층(12)은 반도체 기판을 이루는 실리콘에 비하여 속도가 빠른 물질로써, 실리콘에 르마늄층으로 형성할 수 있고, 상기 제2 에피택시얼층(14)은 상기 반도체 기판과 동일한 물질인 실리콘층으로 형성할 수 있다. 상기 적층층(18)의 최상층은 제2 에피택시얼층(14)으로 형성하는 것이 바람직하고, 상기 최상층의 상기 제2 에피택시얼층(14) 상에 마스크층(16)을 더 포함할 수도 있다. 상기 마스크층(16)은 실리콘질화막으로 형성할 수 있다.

<32> 상기 제1 및 제2 에피택시얼층들(14)을 형성하는 동안 불순물을 주입하거나, 적층층(18)을 형성한 후 상기 적층층(18) 내에 불순물을 주입함으로써 적어도 상기 제2 에피택시얼층(14)을 도우평시킬 수 있다. 상기 불순물의 농도는 트랜지스터의 채널확산층을 형성하기 위한 것으로써 적절히 조절할 수 있다.

<33> 도 3a, 3b 및 3c를 참조하면, 상기 적층층(18) 및 상기 반도체 기판(10)을 순차적으로 패터닝하여 활성영역(50)을 한정하는 트렌치(20)를 형성함과 동시에, 상기 활성영역 상에 제1 에피택시얼 패턴들(12a) 및 제2 에피택시얼 패턴들(14a)이 교대로 반복적으로 적층된 적층패턴(18a)을 형성한다. 상기 적층패턴(18a)은 마스크 패턴(16a)을 더 포함할 수 있다.

<34> 도 4a, 4b 및 4c를 참조하면, 상기 트렌치(20)의 저면에 제1 절연막 패턴(22)을 형성한다. 상기 제1 절연막 패턴(22)은 상기 반도체 기판의 전면을 채우는 절연막을 형성하고, 상기 절연막을 리세스 함으로써 형성할 수 있다. 결과적으로, 상기 적층 패턴(18a)의 주변은 상기 제1 절연막 패턴(22)으로 둘러싸인다. 상기 제1 절연막 패턴(22)은 상기 절연막을 최저층의 상

기 제1 에피택시얼층(12)이 노출될 때까지 리세스함으로써 형성할 수 있다. 이 때, 도시된 것과 같이, 상기 활성영역(50)의 표면은 상기 제1 절연막 패턴(22)의 상부면보다 높거나 낮은 레벨에 위치할 수 있다.

<35> 도 5a, 5b 및 5c를 참조하면, 상기 반도체 기판에 선택적 에피택시얼 성장 공정을 적용하여 상기 적층 패턴(18a)의 표면 및 노출된 반도체 기판의 표면에 제3 에피택시얼층(24)을 형성한다. 상기 적층 패턴(18a)에 마스크 패턴(16a)이 포함될 경우, 상기 제3 에피택시얼층(24)은 상기 제1 및 제2 에피택시얼 패턴(14a)의 표면이 드러나 있는 적층 패턴(18a)의 측면 일부분에 형성될 수 있다. 상기 제3 에피택시얼층(24)은 상기 제1 에피택시얼 패턴(12a)과 식각선택성을 가질 수 있는 물질로써, 상기 제2 에피택시얼 패턴(14a)과 동일한 물질인 실리콘으로 형성할 수 있다.

<36> 상기 제3 에피택시얼층(24) 내에 불순물을 주입하여 소오스/드레인 영역을 형성할 수 있다. 그러나, 상기 소오스/드레인 영역은 후속공정에서 형성할 수도 있다. 소오스/드레인 영역을 형성할 경우, 상기 불순물은 경사이온주입법을 사용함으로써 상기 제3 에피택시얼층(24) 내에 균일한 농도로 형성할 수 있다.

<37> 계속해서, 상기 반도체 기판(10)의 전면에 식각저지막(26)을 형성한다. 상기 식각저지막(26)을 후속공정에서 상기 제1 절연막 패턴(22)이 과식각되는 것을 방지할 목적으로 형성한다. 따라서, 상기 식각저지막(26)은 실리콘질화막으로 형성할 수 있다.

<38> 도 6a, 6b 및 6c를 참조하면, 상기 반도체 기판(10)의 전면에 제2 절연막(30)을 형성한다. 상기 제2 절연막(30)은 패터닝하여 상기 적층패턴(18a)의 상부를 가로지르는 게이트 오프닝(28)을 형성한다. 이 때, 상기 제2 절연막(30)을 패터닝한 후, 계속해서 상기 식각저지막

(26)을 패터닝함으로써 상기 게이트 오프닝(28)은 상기 마스크 패턴(16a)의 일부분, 상기 제3 에피택시얼층(24)의 일부분 및 상기 제1 절연막 패턴(22)의 일부분을 노출시킨다.

<39> 도 7a, 7b, 및 7c를 참조하면, 상기 게이트 오프닝(28)에 의해 노출된 상기 제3 에피택시얼층(24)을 제거하여, 상기 제1 에피택시얼 패턴들 및 상기 제2 에피택시얼 패턴들(14a)의 일부분을 노출시킨다. 계속해서, 등방성 식각법을 적용하여 상기 제1 에피택시얼층들(12)을 식각한다. 그 결과, 상기 적층 패턴(18a)에서 상기 제1 에피택시얼층들(12)이 제거되어, 상기 활성영역(50) 상에는 소정 간격 이격된 제2 에피택시얼층들(14)이 위치하게 된다. 상기 활성영역(50)의 상부 및 상기 제2 에피택시얼층들(14)은 트랜스터의 채널영역에 해당한다.

<40> 계속해서, 상기 채널영역의 표면에 게이트 절연막(32)을 형성한다. 즉, 상기 게이트 절연막(32)은 상기 활성영역(50) 및 상기 제2 에피택시얼층들(14)의 표면에 형성된다. 상기 게이트 절연막(32)은 열공정 또는 화학기상증착법을 사용함으로써 콘포말하게 형성할 수 있다.

<41> 도 8a, 8b 및 8c를 참조하면, 다마신 공정을 적용하여 상기 게이트 오프닝(28)을 채우는 게이트 패턴(34)을 형성한다. 상기 게이트 패턴(34)은 상기 채널영역들 사이의 캡영역을 채우는 폴리실리콘으로 형성한 후 평탄화하여 형성하거나, 상기 채널영역들 사이의 캡영역을 채우는 폴리실리콘을 형성하고, 상기 폴리실리콘 상에 금속 실리사이드막을 형성한 후 평탄화하여 형성할 수 있다. 결과적으로, 상기 게이트 패턴(34)은 상기 적층 패턴(18a)의 상부를 가로지르되, 상기 채널영역들 사이의 캡영역에 채워짐으로써 복수개의 채널영역들을 감싸는 구조를 가질 수 있다. 상기 금속실리사이드막을 형성하는 대신, 폴리실리콘 게이트 패턴(34)을 형성한 후 실리사이드화 공정을 적용하여 노출된 게이트 패턴(34)의 표면에 실리사이드층을 형성할 수도 있다. 상기 게이트 패턴(34)에 대향하는 상기 제2 에피택시얼 패턴들(14a) 및 상기 활성영역(50)의 표면에 트랜지스터의 채널이 형성될 수 있다.

<42> 도 9a, 9b 및 9c를 참조하면, 상기 게이트 패턴(34)이 형성된 기판의 전면에 제3 절연막(36)을 형성한다. 상기 제3 절연막(36), 상기 제2 절연막(30) 및 상기 식각저지막(26)을 순차적으로 패터닝하여, 상기 게이트 패턴(34) 양측에 상기 제3 에피택시얼층(24)이 노출된 소오스/드레인 콘택홀(40)을 형성한다. 상기 제3 에피택시얼층(24)이 도우평되지 않은 경우, 상기 소오스/드레인 콘택홀(40)을 통하여 불순물을 주입할 수도 있다.

<43> 본 발명에 따르면, 상기 소오스/드레인 콘택홀(40)의 하부에 절연막이 형성되어 있기 때문에 상기 소오스/드레인 콘택홀(40)을 형성하는 동안 일반적인 평판 모스 트랜지스터에서 기판이 과식각되는 것과 같은 문제를 유발하지 않는다.

<44> 계속해서, 상기 소오스/드레인 콘택홀(40) 내에 도전막을 채워 상기 제3 에피택시얼층(24)과 직접적으로 접촉하는 소오스/드레인 전극(42)을 형성한다.

<45> 도 10a은 본 발명의 제1 실시예에 따른 트랜지스터를 나타낸 평면도이다.

<46> 도 10b는 도 1a의 A-A를 따라 취해진 단면도이다.

<47> 도 10c는 도 1a의 B-B를 따라 취해진 단면도이다.

<48> 도 10a, 도 10b 및 도 10c를 참조하면, 본 발명의 제2 실시예에 따른 트랜지스터는 반도체 기판(10)에 형성된 트렌치(20)에 의해 한정된 영역에 형성된다. 이 트랜지스터는 제1 실시예와 마찬가지로, 서로 이격된 복수의 채널층으로 구성된 수평채널영역(14a, 50)과, 상기 수평채널영역들(14a, 50)의 양측에 접하는 수직 소오스/드레인 영역들(52)을 포함한다. 상기 수평채널영역들(14a, 50)은 상기 트렌치(20)에 의해 한정된 활성영역(50)과, 상기 반도체 기판 상에 차례로 적층된 에피택시얼층들(14a)로 구성된다. 제1 실시예와 달리, 상기 수평 채널영역(14a, 50)의 최상층과 마스크 패턴(16a)는 수직으로 이격되어 있고, 게이트 패턴(34)은 상기

수평 채널영역들(14a, 50) 사이의 갭 영역과, 상기 수평채널영역의 최상층과 상기 마스크 패턴(16a) 사이에 채워져 있다. 상기 게이트 패턴(34)은 상기 턴채널영역들(14a, 50)의 상부를 가로지른다. 상기 수평채널영역들(14a, 50)과 상기 게이트 패턴(34) 사이에 게이트 절연막(32)이 개재되어 있다. 따라서, 제1 실시예와 달리 상기 수평채널영역의 최상부 채널층은 그 상부면에도 채널이 형성될 수 있다. 제2 실시예에 따른 트랜지스터는 복수층의 에피택시얼층을 형성할 때, 최상부의 에피택시얼층은 반도체 기판을 이루는 실리콘에 비하여 식각속도가 빠른 물질로써, 실리콘게르마늄층으로 형성함으로써 얻어질 수 있다.

【발명의 효과】

<49> 상술한 것과 같이 본 발명에 따르면, 식각선택성을 가지는 두층의 에피택시얼층을 교대로 반복적으로 형성하고, 두종류의 에피택시얼층 중 어느 한 종류를 제거함으로써 복수개의 수평채널영역들을 적층할 수 있다. 이들 수평채널영역들의 표면에 트랜지스터의 채널영역을 형성함으로써, 수평채널영역들의 층수에 따라 높은 구동전류를 얻을 수 있다. 따라서, 트랜지스터의 점유면적을 증가시키지 않아도 구동전류가 높은 트랜지스터를 형성할 수 있기 때문에 소자의 고집적화에 매우 효과적이다.

<50> 더 나아가서, 이 트랜지스터는 수직 소오스/드레인 영역을 가진다. 따라서, 소오스/드레인 영역의 정션깊이를 낮추어도 그 표면적을 넓게 형성할 수 있기 때문에 저항을 낮출 수 있고, 제조공정과정에도 소오스/드레인 영역에 가해지는 식각손상을 최소화할 수 있기 때문에 누설전류를 현저히 줄일 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 형성되고, 서로 이격된 복수의 채널층으로 구성된 수평 채널영역;
상기 수평 채널영역의 양측에 각각 형성되어 상기 채널층들과 연결된 한쌍의 수직 소오스/드레인 영역들;
상기 수평 채널 영역의 상부 및 상기 채널층들 사이를 가로지르는 게이트 패턴;
상기 게이트 패턴과 상기 채널층들 사이에 개재된 게이트 절연막;
상기 수직 소오스/드레인 영역들의 각각에 접속된 소오스/드레인 전극들; 및
상기 각각의 소오스/드레인 전극의 저면 및 상기 반도체 기판 사이와, 상기 게이트 패턴 및 상기 반도체 기판 사이에 개재된 제1 절연막 패턴을 포함하되, 상기 수평 채널영역들의 최저층은 상기 반도체 기판과 연결된 것을 특징으로 하는 트랜지스터.

【청구항 2】

제 1 항에 있어서,
상기 수평 채널영역의 상부에 형성되어 최상부 채널층의 상부면과 직접적으로 접촉하는 마스크 패턴을 더 포함하는 것을 특징으로 하는 트랜지스터.

【청구항 3】

제 1 항에 있어서,
상기 수평 채널영역의 상부에 형성된 마스크 패턴을 더 포함하되,
상기 게이트 패턴은 최상부 채널층과 상기 마스크 패턴 사이에 연장되어 상기 최상부 채널층 상부를 가로지르는 것을 특징으로 하는 트랜지스터.

【청구항 4】

제 1 항에 있어서,

상기 수평 채널영역 및 상기 수직 소오스/드레인 영역들을 갖는 반도체 기판의 전면에 형성되되, 상기 수평 채널영역들의 상부를 가로지르는 게이트 오프닝을 갖는 제2 절연막 패턴을 더 포함하되,

상기 게이트 패턴은 상기 게이트 오프닝 내에 형성되고,

상기 소오스/드레인 전극은 상기 절연막 패턴을 관통하여 상기 수직 소오스/드레인 영역에 접속된 것을 특징으로 하는 트랜지스터.

【청구항 5】

제 4 항에 있어서,

상기 절연막 패턴 및 상기 게이트 패턴이 형성된 반도체 기판의 전면에 형성된 제3 절연막을 더 포함하되,

상기 소오스/드레인 전극은 상기 제3 절연막 및 상기 제2 절연막 패턴을 차례로 관통하여 상기 수직 소오스/드레인 영역에 접속된 것을 특징으로 하는 트랜지스터.

【청구항 6】

제 1 항에 있어서,

상기 제1 절연막 패턴의 상부면은 상기 게이트 패턴의 최저면보다 높은 레벨에 위치하는 것을 특징으로 하는 트랜지스터.

【청구항 7】

반도체 기판에 트렌치를 형성함과 동시에, 상기 트렌치에 의해 한정된 영역 상에 복수층의 제1 및 제2 에피택시얼 패턴들이 교대로 적층된 구조물을 형성하는 단계;

상기 트렌치 저면에 제1 절연막 패턴을 형성하는 단계;

상기 제1 및 제2 에피택시얼 패턴들의 표면에 제3 에피택시얼층을 성장시키는 단계;

상기 반도체 기판의 전면에 상기 제3 에피택시얼층의 일부분이 노출된 게이트 오프닝을 갖는 제2 절연막을 형성하는 단계;

상기 노출된 제3 에피택시얼층을 제거하여 상기 제1 및 제2 에피택시얼 패턴의 일부분을 노출시키는 단계;

상기 제1 에피택시얼 패턴들을 선택적으로 등방성 식각하여 서로 이격된 복수층의 채널층으로 구성된 수평채널영역을 형성하는 단계;

상기 채널층들의 표면에 게이트 산화막을 형성하는 단계;

상기 채널층들 사이의 캡영역들 및 상기 게이트 오프닝을 채우며 상기 수평채널영역들의 상부를 가로지르는 게이트 패턴을 형성하는 단계; 및

상기 제2 절연막을 관통하여 상기 제3 에피택시얼층에 접속되는 소오스/드레인 전극들을

상기 게이트 패턴 양측에 각각 형성하는 단계를 포함하는 트랜지스터 제조방법.

【청구항 8】

제 7 항에 있어서,

상기 제1 및 제2 에피택시얼 패턴들이 적층된 구조물 및 상기 트렌치를 형성하는 단계는,

반도체 기판 상에 복수층의 제1 및 제2 에피택시얼층을 교대로 적층하는 단계; 및
상기 제1, 제2 에피택시얼층들 및 상기 반도체 기판을 순차적으로 패터닝하여 트렌치를
형성함과 동시에 제1 및 제2 에피택시얼 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는
트랜지스터 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 제1 및 제3 에피택시얼층은 실리콘층으로 형성하고, 상기 제2 에피택시얼층은 실리
콘게르마늄층으로 형성하는 것을 특징으로 하는 트랜지스터 제조방법.

【청구항 10】

제 7 항에 있어서,

상기 제1 절연막 패턴의 상부면은 상기 제1 에피택시얼층의 최저면보다 낮게 형성하는
것을 특징으로 하는 트랜지스터 제조방법.

【청구항 11】

제 7 항에 있어서,

상기 제2 절연막을 형성하는 단계 이전에,

상기 제3 에피택시얼층이 형성된 결과물 전면에 콘포말한 식각저지막을 형성하는 단계
를 더 포함하되,

상기 게이트 오프닝은 상기 제2 절연막 및 상기 식각저지막을 순차적으로 패터닝하여 형
성하고,

상기 소오스/드레인 전극들은 상기 식각저지막을 관통하여 상기 제3 에피택시얼층에 접속되는 것을 특징으로 하는 트랜지스터 제조방법.

【청구항 12】

제 7 항에 있어서,

상기 제2 절연막을 형성하기 전에,

상기 제1 및 제2 에피택시얼층 내에 불순물을 주입하여 채널 도우핑층을 형성하는 단계;
및

상기 제3 에피택시얼층 내에 불순물을 주입하여 소오스/드레인 확산층을 형성하는 단계
를 더 포함하는 것을 특징으로 하는 트랜지스터 제조방법.

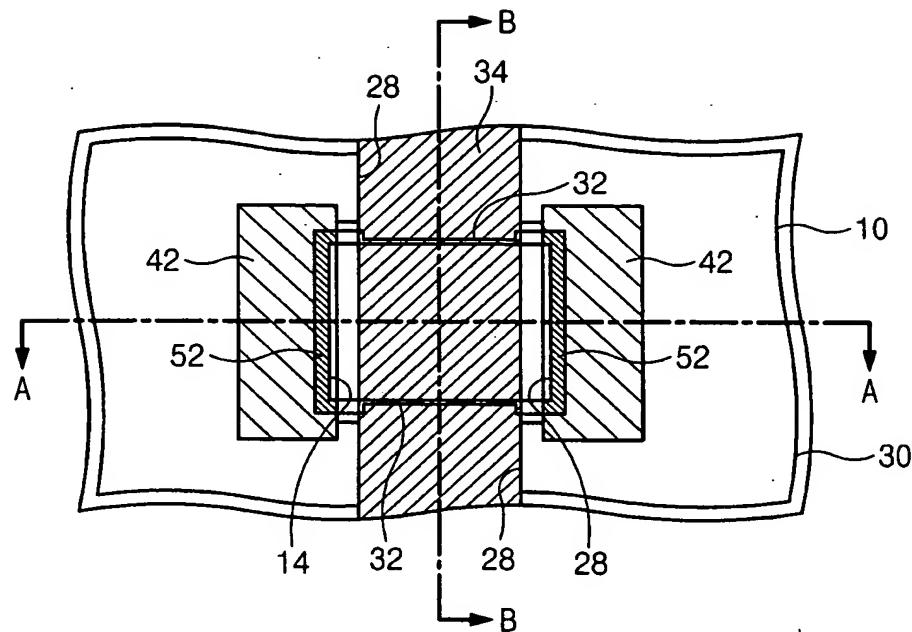
【청구항 13】

제 7 항에 있어서,

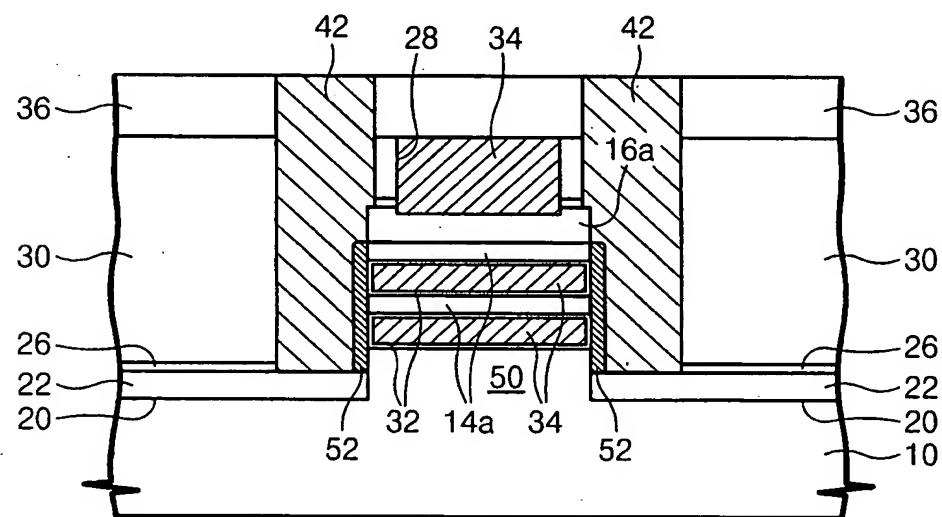
상기 제1 및 제2 에피택시얼 패턴들이 교대로 적층된 구조물은 최상층에 마스크 패턴을
더 포함하도록 형성하는 것을 특징으로 하는 트랜지스터 제조방법.

【도면】

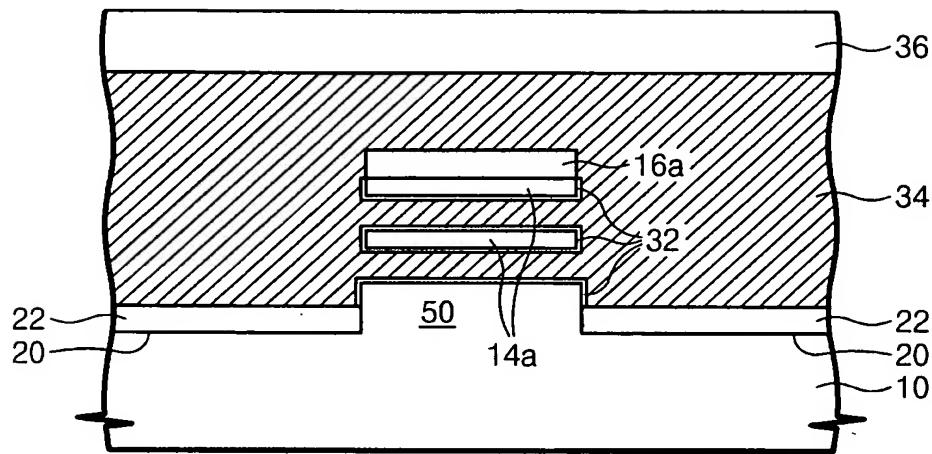
【도 1a】



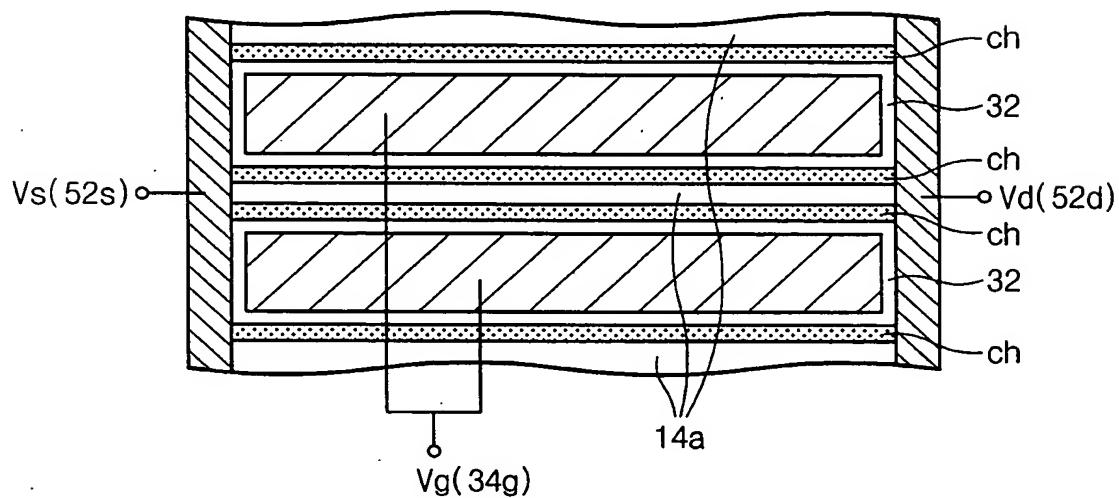
【도 1b】



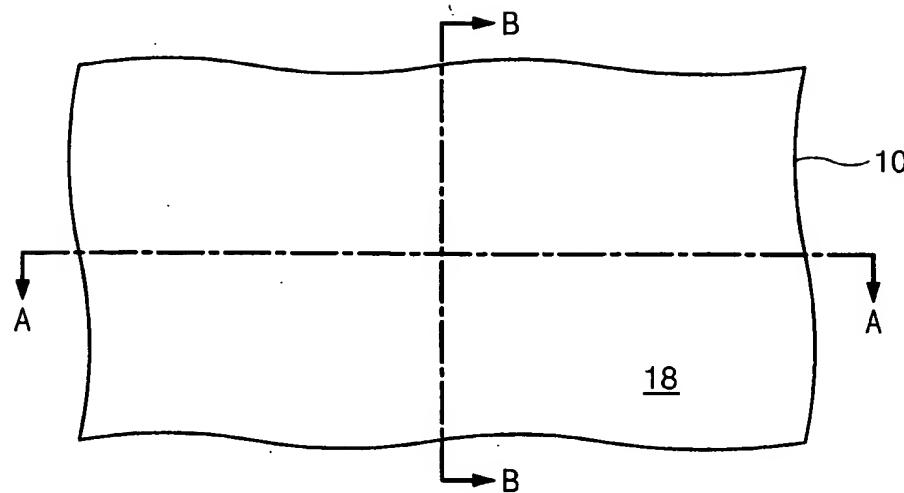
【도 1c】



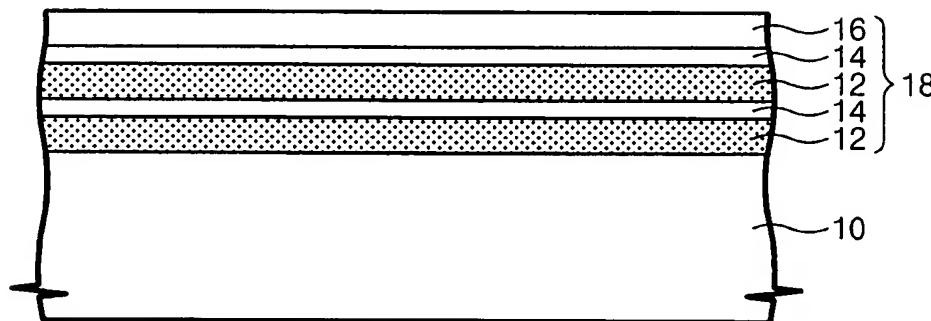
【도 1d】



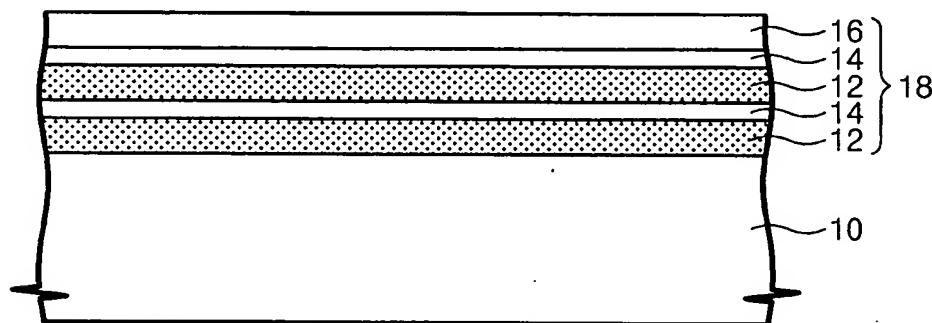
【도 2a】



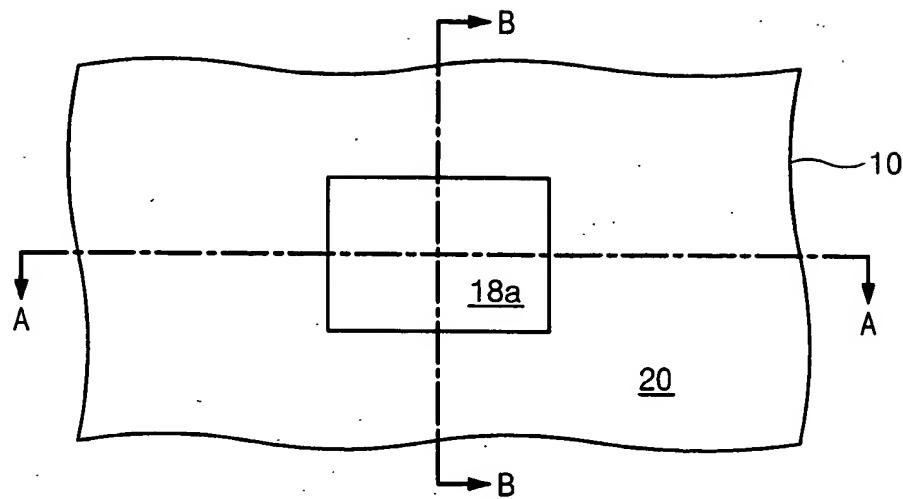
【도 2b】



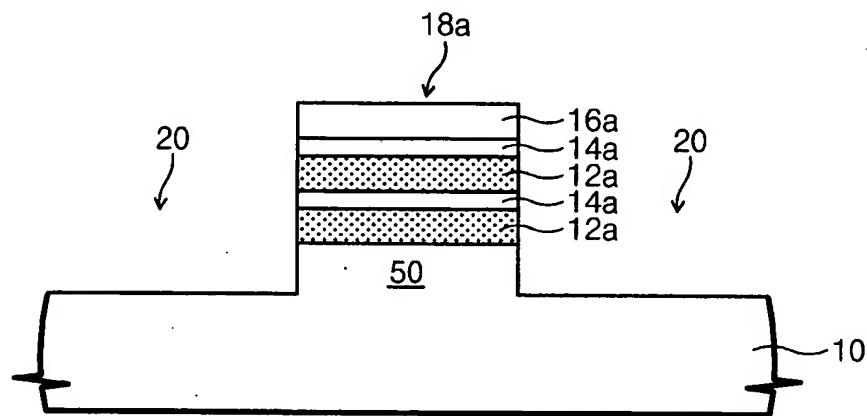
【도 2c】



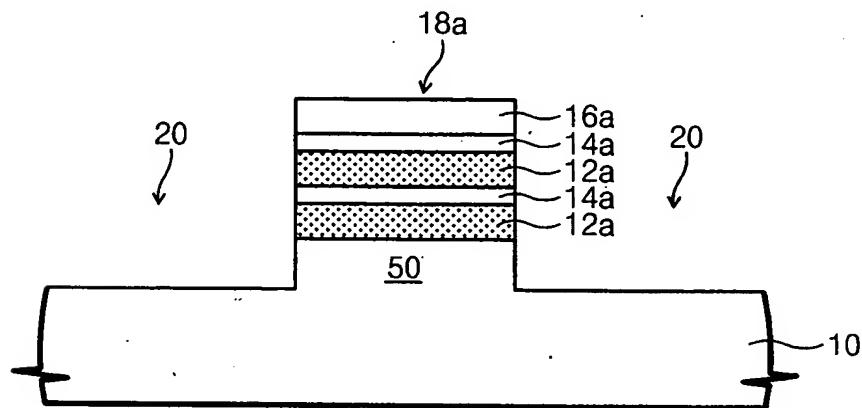
【도 3a】



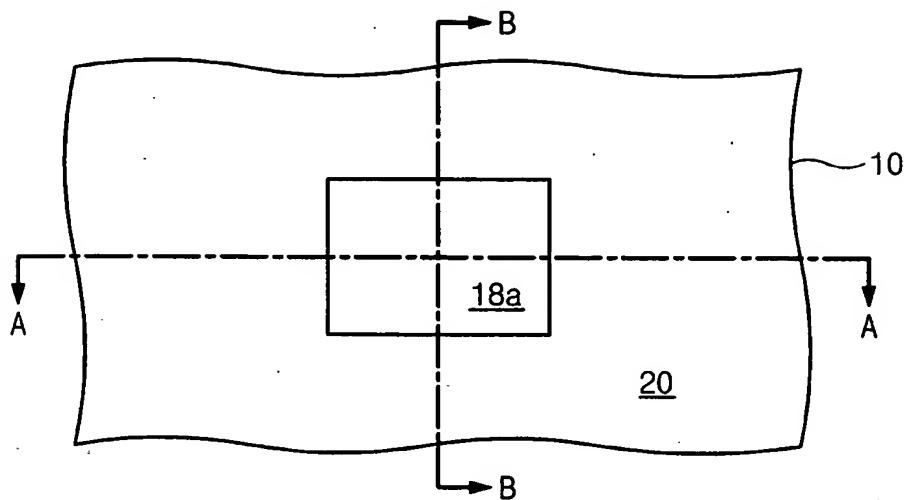
【도 3b】



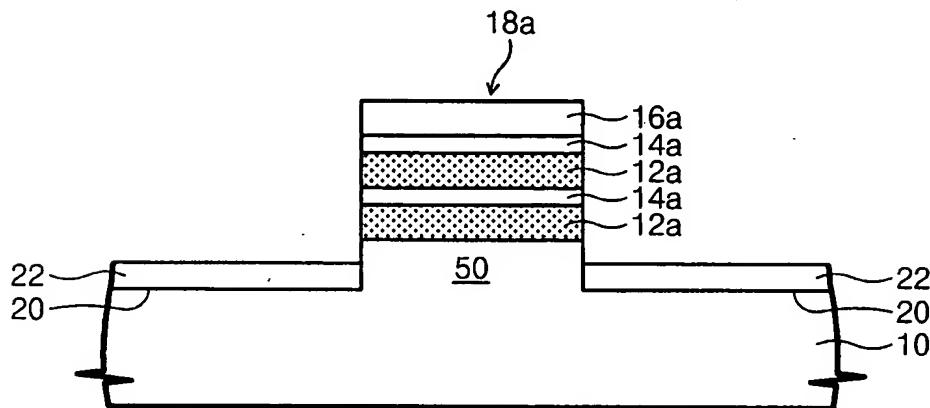
【도 3c】



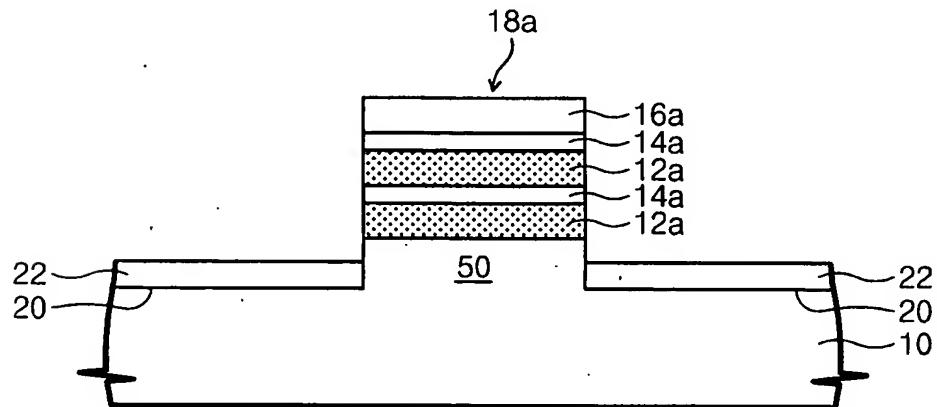
【도 4a】



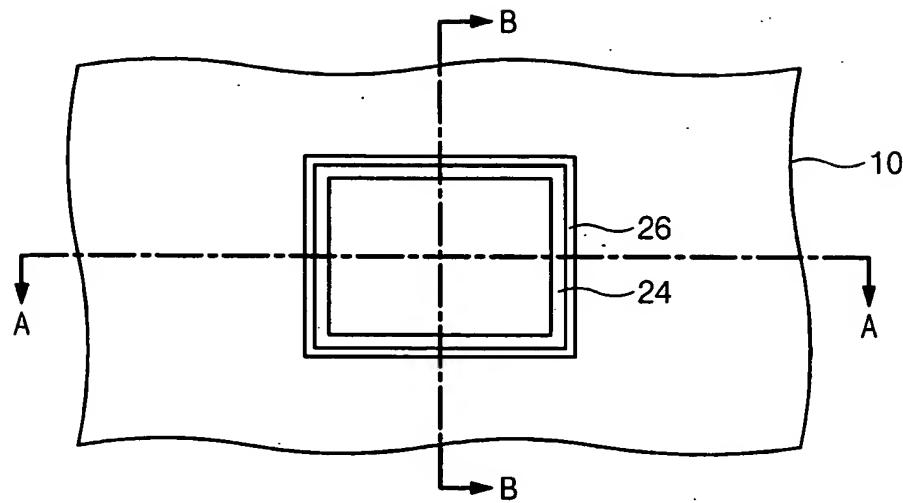
【도 4b】



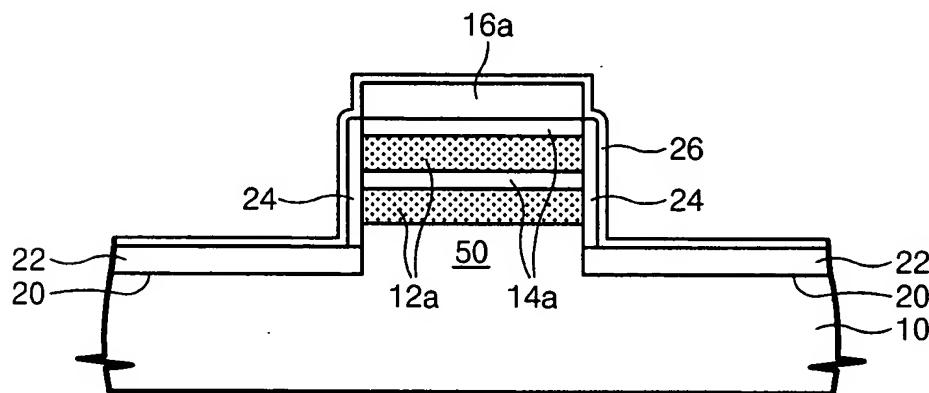
【도 4c】



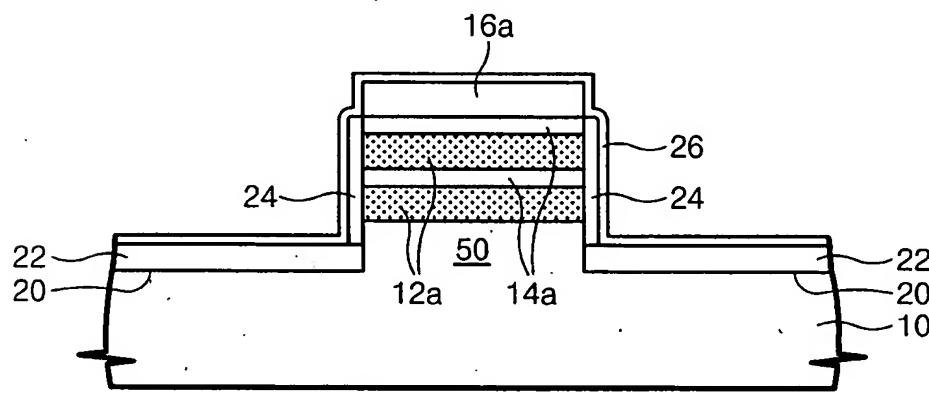
【도 5a】



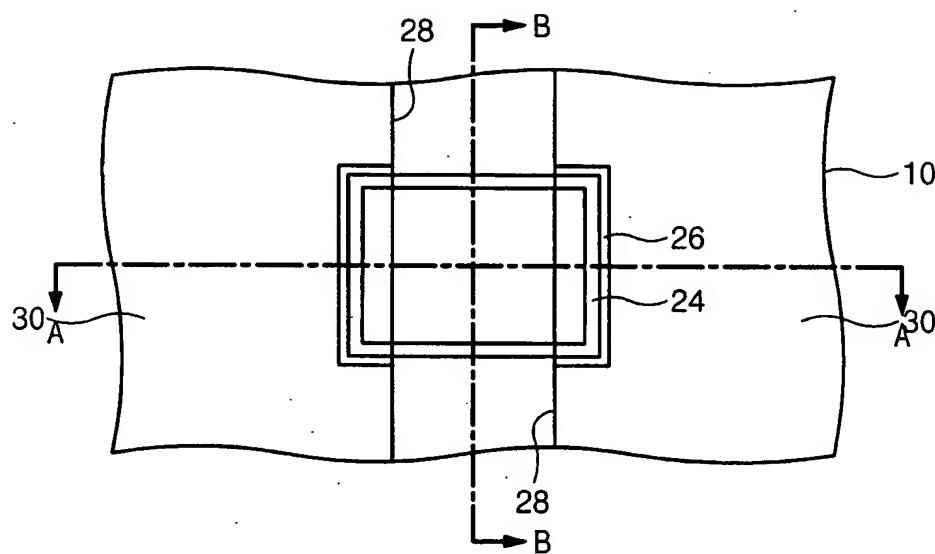
【도 5b】



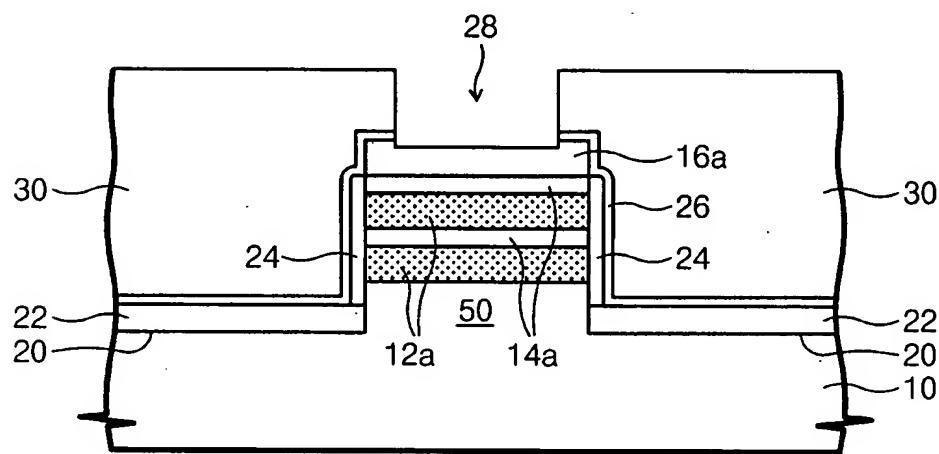
【도 5c】



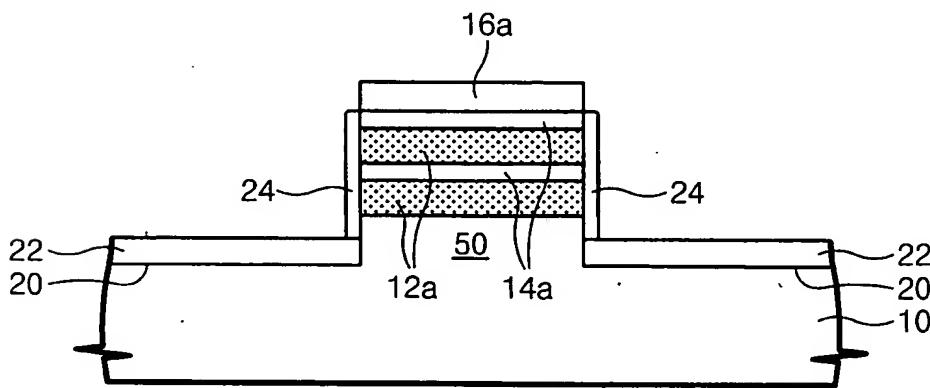
【도 6a】



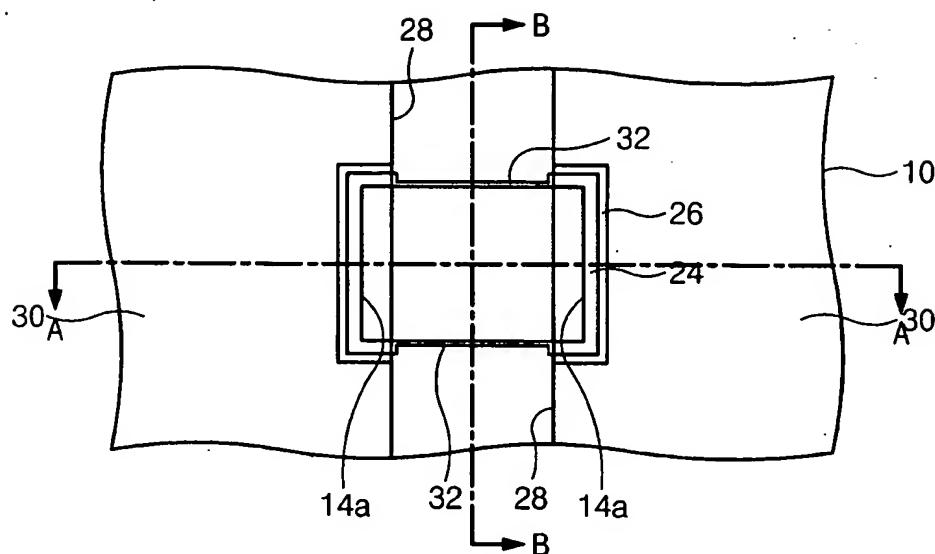
【도 6b】



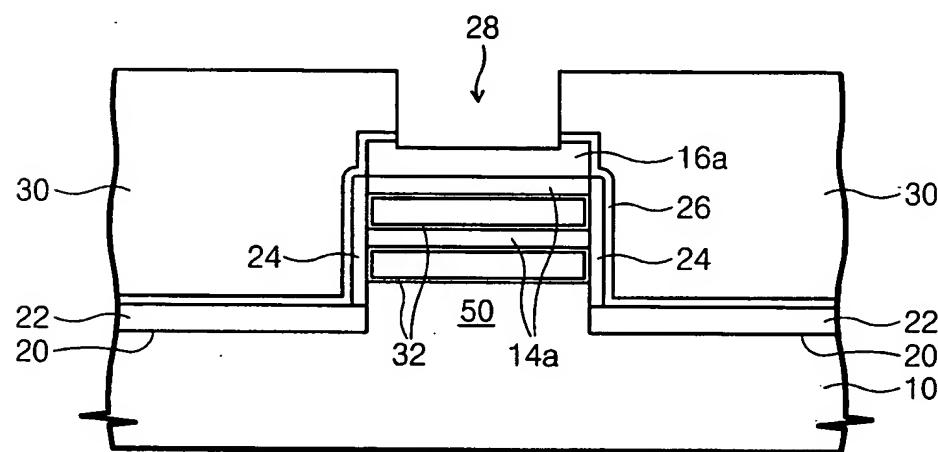
【도 6c】



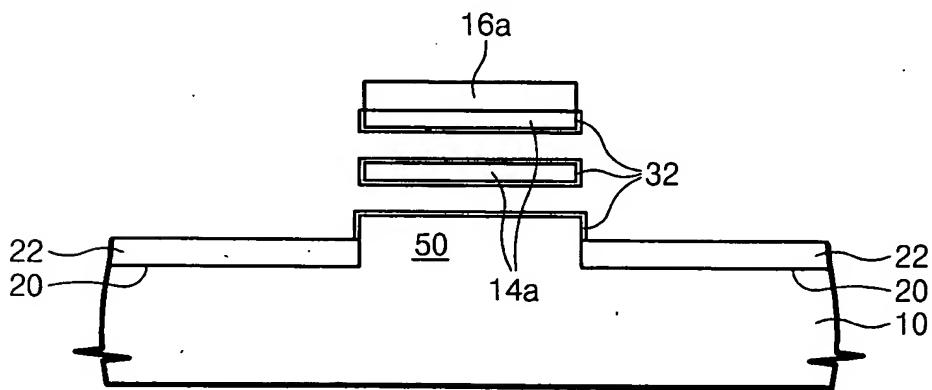
【도 7a】



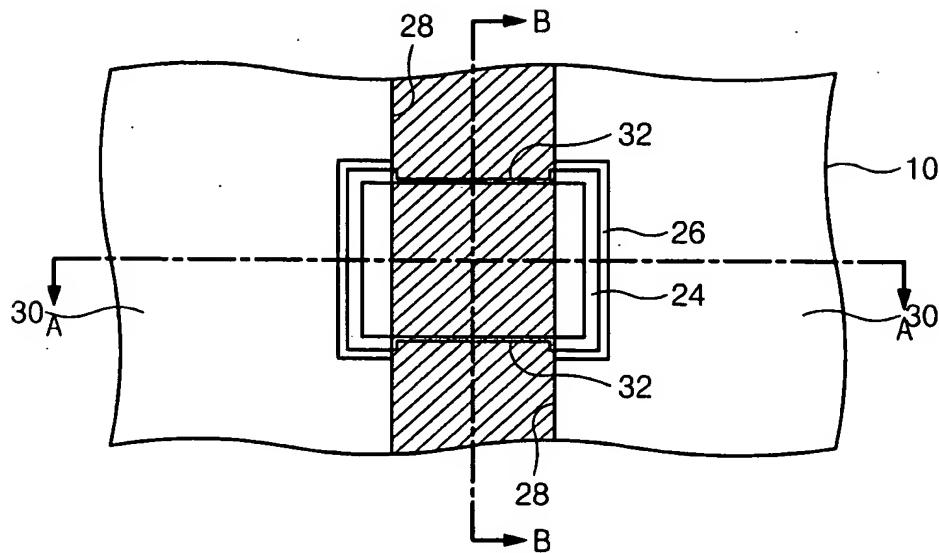
【도 7b】



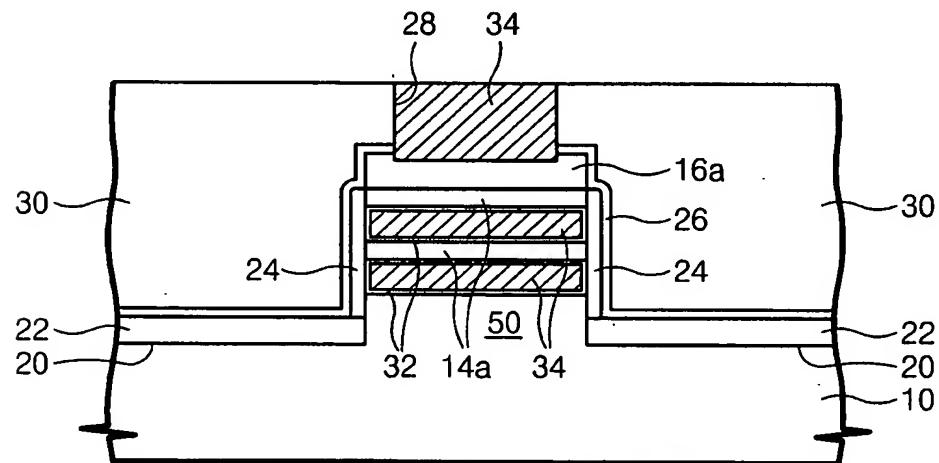
【도 7c】



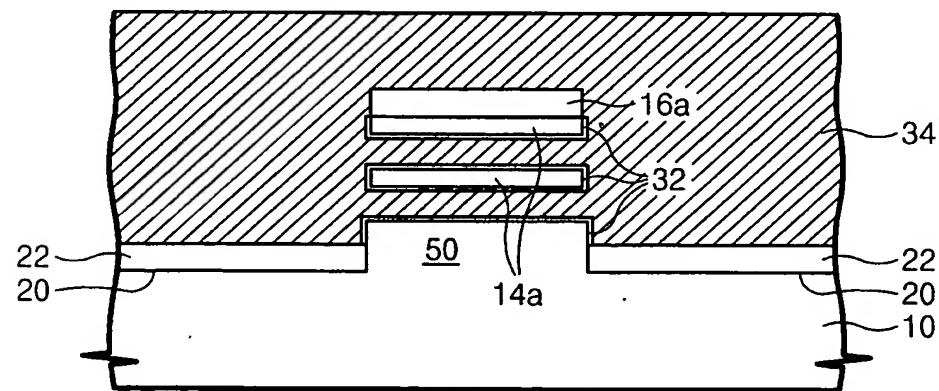
【도 8a】



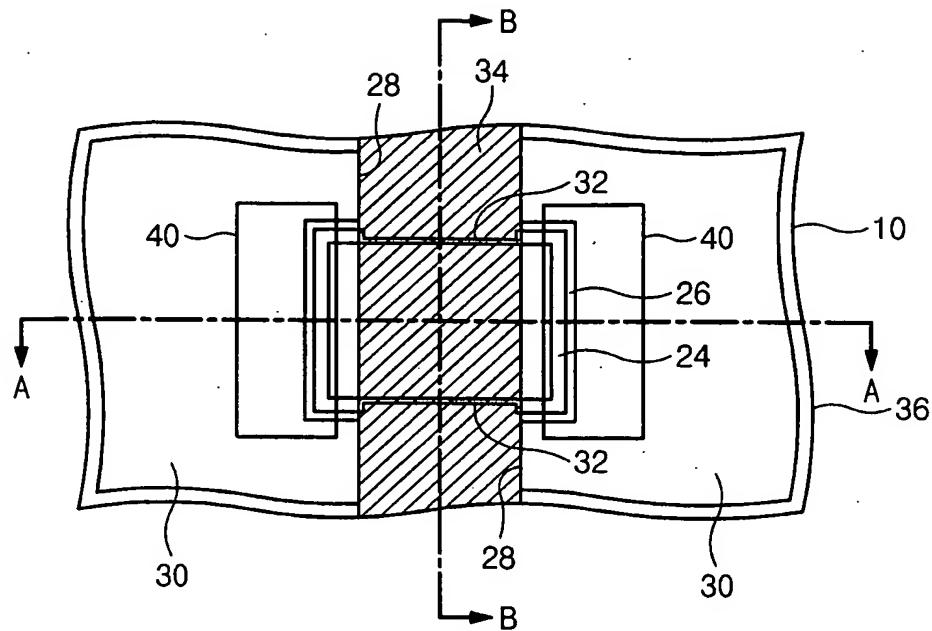
【도 8b】



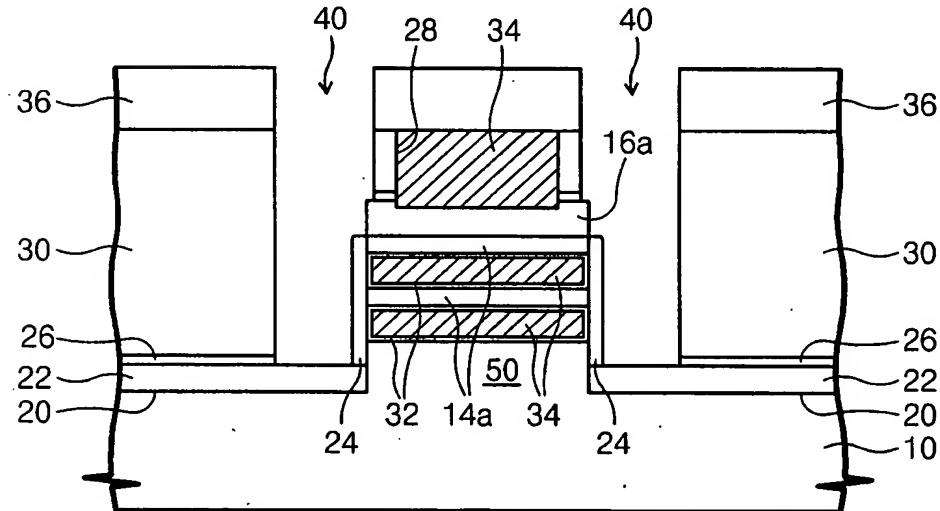
【도 8c】



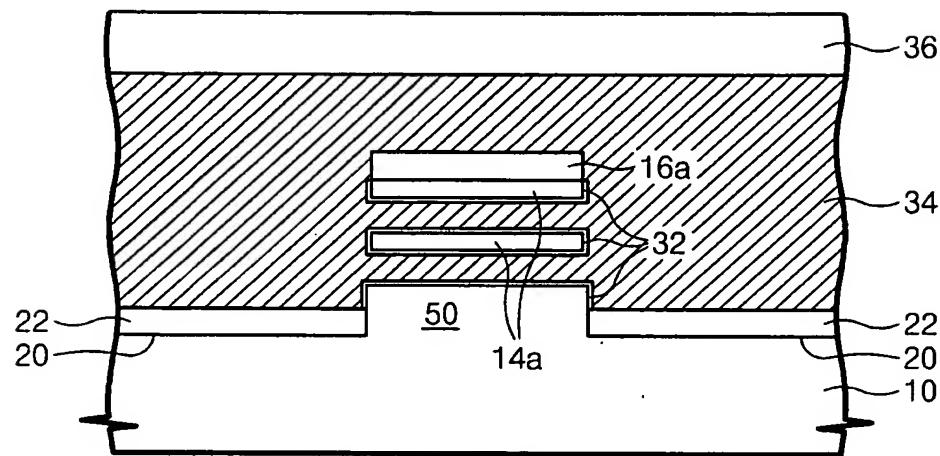
【도 9a】



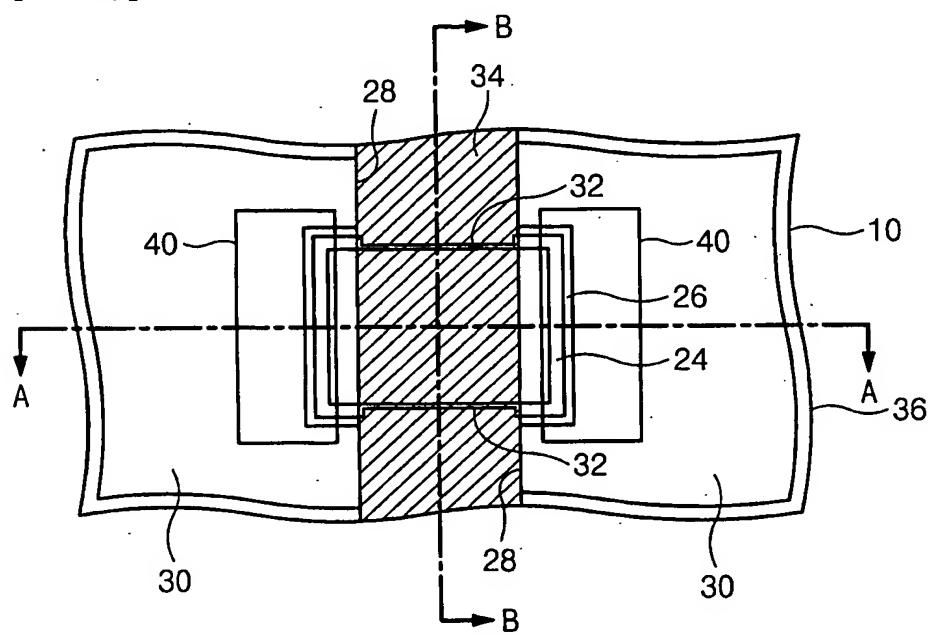
【도 9b】



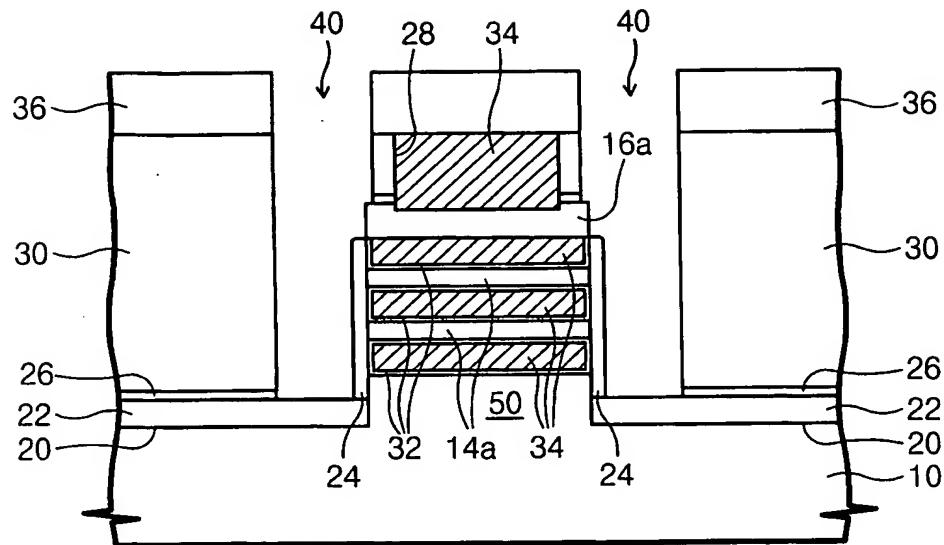
【도 9c】



【도 10a】



【도 10b】



【도 10c】

